

doi: 10.3969/j.issn.1001-3849.2025.03.0013

3D 封装凸点电镀技术发展现状与扩散阻挡层的研究进展

周湘卓, 陈沛欣, 凌惠琴*, 李 明

(上海交通大学 材料科学与工程学院, 上海 200240)

摘要: 随着芯片制造不断朝着高密度、多功能、低成本的方向发展, 按照摩尔定律继续缩小的晶体管尺寸已经接近物理极限, 并且会面临成本急剧升高的问题。基于芯片垂直互连的 3D 封装是进一步提升晶体管密度的有效手段, 而铜柱凸点是芯片垂直互连的重要组成部分。首先系统介绍了铜柱凸点的基本结构及制备方法, 在此基础上对工业应用中十分关心的凸点电镀均匀性控制方法、以及铜柱凸点键合界面反应和可靠性等问题进行了概述。另外, 扩散阻挡层作为减缓界面反应的有效手段, 能有效提升凸点的可靠性, 近年来用于微凸点的高性能阻挡层材料受到了大量学者的关注。因此, 在本文的最后, 重点对微凸点高性能阻挡层材料研究进展进行了综述。希望通过凸点电镀技术、可靠性问题及高性能阻挡层的研究进展情况介绍, 能够给学术界以及工业界带来一些启发, 以推动微凸点以及 3D 封装技术的发展。

关键词: 3D 封装; 凸点; 电镀; 可靠性; 扩散阻挡层

中图分类号: TQ153.1

文献标识码: A

Research progress on microbump plating technology in 3D packaging and diffusion barrier layers

Zhou Xiangzhuo, Chen Peixin, Ling Huiqin*, Li Ming

(School of Materials Science and Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: As chip manufacturing continues to evolve toward high density, multi-functionality, and low cost, the transistor size, which continues to shrink according to Moore's Law, is approaching its physical limit and facing a sharp increase in cost. 3D packaging based on chip vertical interconnect is an effective means to further increase transistor density, and copper pillar bumps are an important part of chip vertical interconnect. This review systematically introduces the basic structure and preparation method of copper pillar bumps. On this basis, the control method of bump plating uniformity, which is of great concern in industrial applications, as well as the interface reaction and reliability of copper pillar bump bonding are summarized. In addition, diffusion barrier layer, as an effective method to mitigate the interfacial reaction, can greatly enhance the reliability of bumps. High-performance barrier layer materials for microbumps have attracted a great deal of scholarly attention in recent years. Therefore, at the end, an overview of the research progress of high-performance barrier layer materials for microbumps is emphasized. It is hoped

收稿日期: 2024-09-28

修回日期: 2025-01-03

作者简介: 周湘卓 (1999—), 女, 硕士, 研究方向为电子电镀, email: zhouxiangzhuo@sjtu.edu.cn

通信作者: 凌惠琴, email: hqling@sjtu.edu.cn

引用信息: 周湘卓, 陈沛欣, 凌惠琴, 等. 3D 封装凸点电镀技术发展现状与扩散阻挡层的研究进展[J]. 电镀与精饰, 2025, 47(3): 83-95, 105.

Zhou Xiangzhuo, Chen Peixin, Ling Huiqin, et al. Research progress on microbump plating technology in 3D packaging and diffusion barrier layers[J]. Plating and Finishing, 2025, 47(3): 83-95, 105.

that the introduction of the bump plating technology, reliability issues and the research progress of high-performance barrier layer can bring some inspiration to the academia as well as the industry, so as to promote the development of microbump and 3D packaging technology.

Keywords: 3D packaging; bump; plating; reliability; diffusion barrier layer

近年来,随着半导体技术的飞速发展,电子器件正朝着多功能、高性能、小尺寸、低成本方向不断迭代发展。IC(Integrated Circuit,集成电路)芯片的特征尺寸遵循摩尔定律不断缩小的同时,还需要满足人工智能、区块链、云计算、电动汽车等新兴领域不断提高的技术要求。现如今,先进的半导体前道工艺采用全环绕栅极晶体管(GAAFET)技术,已经实现了3 nm节点的量产,但目前的技术节点已经

接近物理极限,继续缩小节点所需的研发成本急剧增加。因此,半导体行业纷纷寻求通过3D封装的方法来提升芯片的集成度。如图1所示^[1],3D封装是指多个芯片通过垂直堆叠后,整体与转接板和印刷线路板进行连接。功能芯片被垂直堆叠后,更短的垂直层间互连取代了2D封装中的长线互连,在RC(Resistor Capacitor,电阻电容)延迟和功耗降低的同时,封装密度和数据带宽大幅提升^[2, 3]。

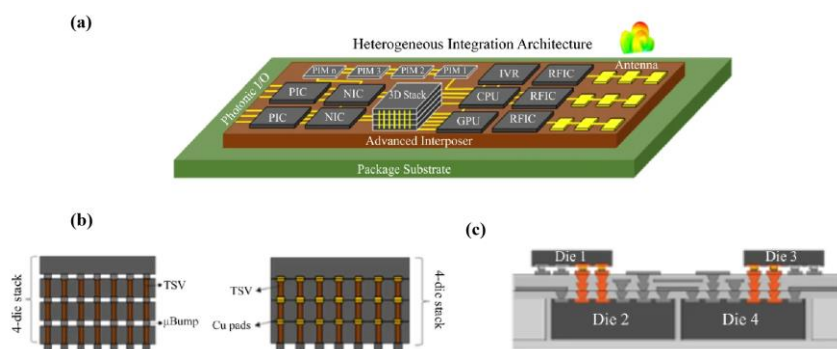


图1 (a)带有铜柱凸点的 TFAP 芯片 SEM 图像; (b)芯片横截面图像; (c)单个铜柱凸点横截面图像^[4]

Fig.1 (a) Schematic of heterogeneous integration architectures; (b) 3D package based on TSV and bump technology; (c) 3D package based on RDL^[1]

芯片的垂直互连主要是通过硅通孔(TSV)、再布线层(RDL)和凸点来实现的。凸点是目前芯片键合的主流工艺,在不同的封装层级,凸点有不同的结构形式。球栅阵列(BGA)用于与印刷线路板进行焊接,一般采用植球方法形成锡焊料凸点,尺寸较大。可控塌陷芯片连接(Controlled Collapse Chip Connection, C4)凸点尺寸中等,用于芯片与BGA基板间的连接,但其球状的外形仍容易在回流过程中发生塌陷和短路,因此在小尺寸、高密度条件下难以得到应用。目前小尺寸、高密度的芯片三维互连主要采用的是铜柱凸点,其结构如图2所示^[4]。铜柱凸点的主体是铜柱和上方的焊料层,其中铜柱起到支撑和电气互连的作用,焊料层则通过回流焊接等实现机械互连。铜柱在回流过程中不会熔化,因此能有效防止焊料的搭接问题和芯片的塌陷问题,从而能够实现更小的尺寸和更高的密度,目前铜柱凸点的直径已经能做到 $5\mu\text{m}$ 左右。同时,铜比焊料具有更好的电导率、导热性和抗电迁移性,因此铜柱

凸点在芯片高密度垂直互连中被广泛应用。

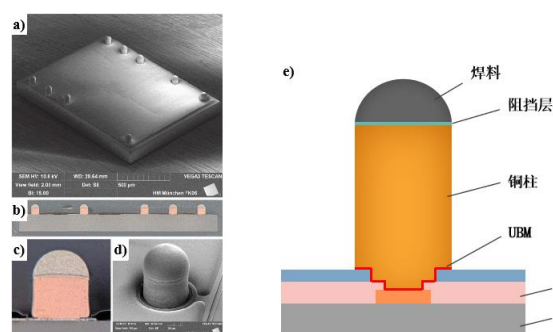


图2 (a)带有铜柱凸点的 TFAP 芯片 SEM 图像; (b)芯片横截面图像; (c)单个铜柱凸点横截面图像; (d)单个铜柱凸点的 SEM 图像; (e)铜柱凸点基本结构示意图^[4]

Fig.2 (a) The SEM image of a TFAP chip with copper pillar bumps; (b) The cross-section image of the chip; (c) The cross-section image of a single copper pillar bump; (d) The SEM image of a single copper pillar bump. (e) The schematic of the basic structure of the copper pillar bumps^[4]

在晶圆片上制备铜柱凸点阵列的过程与焊料凸点相类似。如图3所示^[5],铜柱凸点的制备过程主要包括以下几个步骤:(1)溅射沉积凸点下金属化(UBM)层,包括黏附层如Ti,以及用作电镀导电层的Cu种子层等;(2)将光刻胶材料旋涂在铜种子层上,然后进行曝光和显影;(3)在底部有铜种子层的光刻胶开口上电镀铜;(4)剥离光刻胶;(5)种子层刻蚀;(6)回流。对于铜柱凸点的填充而言,在目前的制造工艺中,电镀法因其操作简单、生产效率高、易于调控,在工业界占据主流^[6]。铜柱、焊料以及中间可能存在的阻挡层,都是通过电镀方法进行制备。因此,理解电镀工艺参数对于凸点宏观均匀性以及微观结构的影响及其作用机理,对于提高生产良率和产品可靠性而言十分重要。

铜柱凸点键合是目前芯片间垂直互连的重要

手段,铜柱凸点的可靠性对于芯片整体的可靠性极其重要。铜柱凸点的可靠性与Cu、Sn间生成金属间化合物(IMC)的反应紧密相关。随着芯片集成度不断提高,铜柱凸点尺寸不断缩小,密度不断提升,这就带来了一系列的新的可靠性问题,包括焊料侧壁扩散、生成多孔IMC等。为了抑制Cu/Sn IMC的生成,通常会在Cu与Sn之间插入一层阻碍界面反应的阻挡层,但随着凸点尺寸的不断缩小,阻挡层不断减薄,阻挡层快速耗尽的问题亟需解决。在后面的章节中,我们先是对铜柱凸点电沉积过程控制方法进行综述,介绍目前铜柱凸点电镀均匀性控制的基本方法。随后,我们对铜柱凸点中Cu-Sn界面反应生成IMC的反应特性、可靠性问题及其抑制方法进行介绍。最后,我们对铜柱凸点阻挡层的界面反应和新型阻挡层开发研究进行了综述。

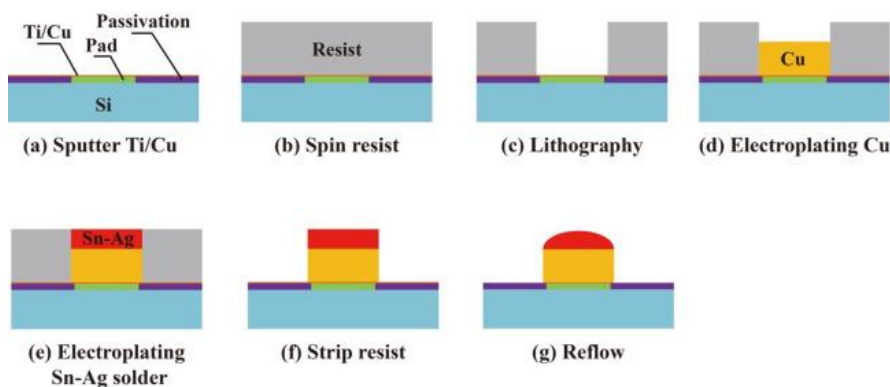


图 3 晶圆片上铜柱凸点的制备工艺流程图^[5]

Fig.3 Process diagram for preparation of copper pillar bumps on wafers^[5]

1 铜柱凸点电镀工艺过程与均匀性控制方法

1.1 铜柱凸点电镀基本过程

电镀铜柱凸点,使用自下而上(bottom-up)的电镀机制从光刻胶腔的底部“填充铜柱。铜柱凸点电镀是集成电路封装过程中最键和最成熟的工艺之一,其参数会影响到微凸点的轮廓外形、共平面性和晶片应力等,最终影响到封装的可靠性和稳定性。

电镀铜就是利用铜离子的还原反应沉积铜的过程,见式(1)。



Cu^{2+} 存在于酸性电镀液中,电子来自于外加电场。溶液在晶圆表面流动,以最大限度地对流渗透到需要电沉积的光刻胶开口腔中。电流从电源驱动到阳极,通过导电电解液槽,到凸起表面,通过导

电种子层,最后返回到电源。该过程在整个电镀过程中持续进行,如图4所示^[7]。

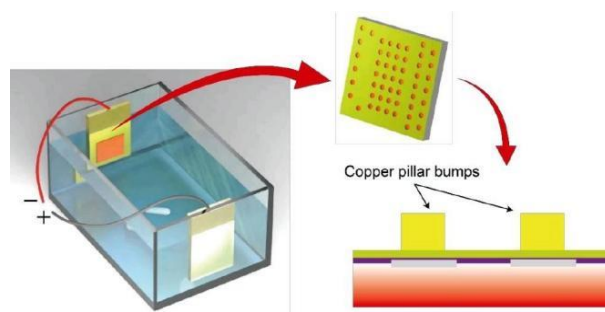


图 4 电镀铜柱凸点实验装置示意图^[7]

Fig.4 Schematic diagram of the experimental setup for electroplating copper pillar bumps^[7]

1.2 铜柱凸点电镀均匀性及控制方法

在封装过程中获得高均匀性和共面性的电镀铜柱凸点,一直是最具挑战性的环节之一,同时也

是确保优良电气连接和低应力水平的关键所在。为了便于后续焊料电镀和最终的倒装焊封装,先进封装中的铜柱凸点均匀性的具体要求主要包括两个方面:(1)微观均匀性:各个铜柱凸点的顶部表面保持平坦,以确保焊料与之充分接触;(2)宏观均匀性:整个铜柱凸点阵列的高度也需保持一致,以提高互连工艺的可靠性^[8]。

调控电流密度是提升铜柱凸点电镀均匀性的最常用手段之一。在较低的电流密度下,光刻胶开口腔中沉积的铜柱往往会获得更均匀的结构和形貌。所以,在铜柱凸点生产过程中,常将降低电流密度(j)作为提高铜柱凸点均匀性和可靠性的手段。但低 j 电镀意味着需要更长的工艺时间,尤其是当所需凸点高度较高时,成为了阻碍大规模量产的掣肘。因此在不牺牲电镀工艺效率的情况下,提高电镀性能至关重要。ACM公司于2021年发布了一种高速镀铜技术^[9],使用陶氏化学的IV 9000电镀液,电流密度为8~12 ASD(A/dm²)。桨叶的设计使得电镀铜过程中的传质能力大大提高。同时,扩散层变窄,可以提高阳离子的扩散效率。该技术利用搅拌提高了电镀效率,并且有效减少了边界层厚度,确保了电镀质量。即使在电镀较高长径比的大尺寸凸点时,由于改善了镀液中各组分分布不均的问题,生产的铜柱仍能保持良好的均匀性和共面性。

采用小电流+大电流的多步电镀法可以兼顾电镀效率和铜柱的均匀性,即使用不同的电流密度,电镀出应力低、共面度高、均匀性好、生产效率高的铜柱凸点。考虑到初始电镀速率对电镀铜柱凸点的结构影响较大,在初始电镀阶段应采用低电流密度在开口腔中均匀沉积一层薄铜层。接着使用较高电流密度快速电镀铜柱剩余部分。Luo等^[10]对比了分别用单速率电镀法和多步电镀法制备的65 nm铜柱凸点。结果如图5所示^[10],多步电镀法(1 ASD+3 ASD+8 ASD),在共面度上优于单一速率(4 ASD)电镀后的铜柱凸点,但电镀效率几乎翻倍。在凸点形貌方面,若使用单一电流密度电镀,只有在电流密度较小时,才能在铜柱凸点顶部形成可防止焊料外溢的碟形顶,而多步电流法即使相当于5.8 ASD的单一电流,仍能形成所希望的蝶形顶部。

电镀设备的设计也对电镀铜柱凸点的均匀性有显著影响。Kholostov等^[11]提出可利用动态液滴DLD/动态液滴弯液面DLM技术高速电镀铜柱凸点,其中电流密度约为3 A/cm²,沉积速率为1 μ m/s,铜柱的高度分布范围为27.8~28.3 μ m,单个芯片和

整个晶圆的厚度均匀性均为1.77%。电镀后的沉积物光滑致密,实现了在提高电镀速率的同时,满足后续加工对铜柱凸点精度的要求,从而可以省略后续CMP(化学机械平坦化)步骤。Maddux等^[12]使用立式连续电镀机对铜柱凸点进行面板级电镀,实验表明在7 ASD的电流密度下电镀面板170 min,可获得200 μ m高的铜柱,单位范围内达到1.3%的优良均匀度。当电流密度降低到5 ASD,均匀性可进一步降低到1%左右或更低,并且获得150 μ m左右高的铜柱凸点。

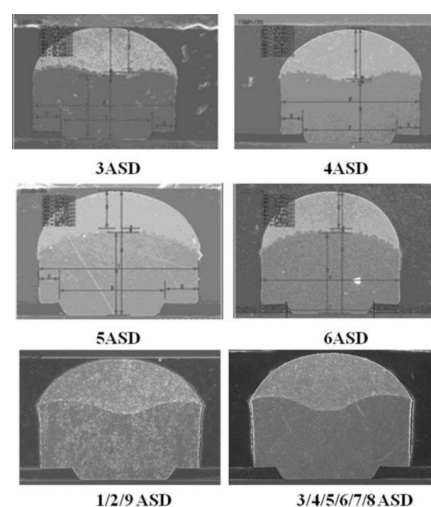


图5 使用不同电流密度制备的铜柱凸点形貌对比^[10]

Fig.5 Comparison of the morphology of copper pillar bumps prepared using different current densities^[10]

总而言之,作为判断电镀铜柱凸点质量的关键指标,其均匀性会直接影响到封装中的互连和封装后的信号传输质量,在电镀过程中进行均匀性控制可以大大提高三维电子封装的可靠性。另外,铜柱凸点不均匀则需要后续增加平面化步骤,导致整体生产成本增加,不利于电镀铜柱凸点商业化的发展。

2 铜柱凸点 Sn/Cu 界面反应研究进展

三维电子封装为实现互连,一般在铜柱凸点上制备Sn、Sn-Ag合金或Sn-Ag-Cu合金焊帽用于回流焊接。在回流或高温时效过程中,富Sn焊料和铜柱之间发生的反应会在Sn/Cu界面上形成两种金属间化合物(Intermetallic Compound, IMC): η -Cu₆Sn₅和 ϵ -Cu₃Sn。

η -Cu₆Sn₅和 ϵ -Cu₃Sn IMC的形成和生长在很大程度上影响着铜柱凸点的机械性能、电性能和热性能。虽然反应初期形成的适量且连续的IMC可以提

高铜柱凸点与焊料帽之间的结合强度,但IMC具有本征脆性和易产生结构缺陷的倾向,且焊点在使用过程中需承受复杂应力和疲劳蠕变,脆性IMC的过度生长会影响焊点的长期可靠性和整体电子封装的完整性,具体体现在以下几个方面^[13-14]: (1)不断增厚的IMC会导致焊点机械性能急剧恶化,如抗疲劳强度、抗剪切强度和蠕变阻力等; (2)界面处过厚的IMC会引发微裂纹,随回流或时效时间的增加而不断扩展,导致焊点断裂失效; (3)由于Cu和Sn的扩散系数存在差异,随着Cu₃Sn相的形成,Cu在Cu₃Sn中的扩散速度显著高于Sn在Cu₃Sn中的扩散速度,这种不平衡的扩散导致了空位形成并聚集,通常在Cu₃Sn IMC内、Cu₆Sn₅/Cu₃Sn和Cu₃Sn/Cu 界面处形成高密度、小尺寸(微米级)的Kirkendall孔洞。这些孔洞会削弱焊点的电、热和机械功能,并随着温度升高和时间的延长越来越严重。

2.1 IMC 生长机制

过去数十年中,针对铜基底与液态锡基焊料合金之间界面反应动力学研究颇为丰富,许多关于Sn/Cu界面间IMC形成与生长机制的理论相继提出。金属间化合物的生成,本质上源于固液扩散以及固固扩散的相互作用过程。其形成的具体机制,主要取决于不同扩散组分向另一种组分及其金属间化合物的扩散速率,用扩散系数加以表征。

Kanno^[15]阐述了Cu-Sn扩散体系中IMC的生长过程。首先,Cu扩散到Sn中,在Cu/Sn界面上形成富Sn的亚稳 η -Cu₆Sn₅相(图6(a))。随后,Cu进一步扩散到 η -Cu₆Sn₅相中,在Cu/Cu₆Sn₅界面上形成更稳定的富Cu的 ϵ -Cu₃Sn相。同时,Sn也会扩散到 ϵ -Cu₃Sn相中,在 ϵ -Cu₃Sn相的Sn侧形成富Sn的 η -Cu₆Sn₅相(图6(b))。此外,Sn还会向Cu扩散,在Cu层附近形成富Cu的 ϵ -Cu₃Sn相。随着时间的增长,Cu₃Sn IMC的厚度将会增加(图6(c)),一旦Sn层被完全消耗形成Cu₆Sn₅和Cu₃Sn IMC,剩余的Cu₆Sn₅将与扩散的Cu发生反应,完全转变为Cu₃Sn IMC(图6(d))。

Cu₆Sn₅ IMC的生长在扩散过程开始时占主导地位(较低温度下),经过一段时间后,Cu₃Sn IMC的生长开始占主导地位(较高温度下),因为Cu₃Sn的生长需要消耗已经形成的Cu₆Sn₅。从Cu₆Sn₅优势生长向Cu₃Sn优势生长的过渡时间称为“临界持续时间”,受退火温度控制。

Liashenko^[16]解释了在固体Cu/液态Sn界面成相的初始阶段,IMC的异质成核生长过程: (1) η -Cu₆Sn₅相首先在Cu/Sn液界面处异质成核,直至在该

界面处形成薄的连续相层(约为几十纳米)。通过铜原子扩散, η -Cu₆Sn₅相开始生长; (2)Cu通过 η -Cu₆Sn₅连续薄层的晶界快速扩散,导致 η -Cu₆Sn₅相中的晶粒快速生长,然后通过Ostwald熟化,逐渐转变为扇形晶体; (3) η -Cu₆Sn₅相的扇形晶粒继续在Cu/液态Sn界面生长,直到柱状晶粒 ϵ -Cu₃Sn相在Cu/ η -Cu₆Sn₅界面成核, η -Cu₆Sn₅相开始向 ϵ -Cu₃Sn相转变。

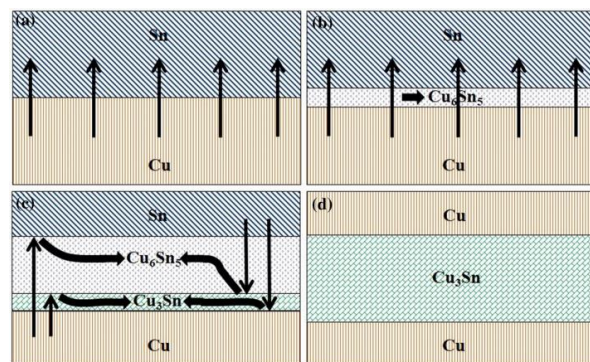


图6 铜锡 IMC 生长过程中的扩散反应示意图: (a) Cu 扩散到 Sn 中形成 Cu₆Sn₅; (b) Cu₆Sn₅ 生长; (c) Cu₃Sn 相的形成和生长; (d) Cu₃Sn IMC 形成^[15]

Fig.6 Schematic diagram of the diffusion reaction during the growth of Cu-Sn IMC: (a) Cu diffusing into Sn to form Cu₆Sn₅; (b) Cu₆Sn₅ growth; (c) Cu₃Sn formation and growth, and (d) Cu₃Sn IMC formation^[15]

2.2 小尺寸微凸点侧壁 IMC 生长现象

随着铜柱凸点尺寸的减小,其比表面积持续扩大,原子扩散的主要路径由晶界和晶格扩散转变为表面扩散,从而引发了侧壁金属间化合物的生成。而加工过程中的多次回流,使得侧壁IMC生长更为严重^[17]。

基于表面润湿和表面扩散理论, Ren等^[18-19]提出了侧壁IMC生成机理的模型(见图7)。首先,在表面张力的作用下,回流过程中的Sn焊料顺着铜柱流动,被润湿的铜柱周围形成了Cu₆Sn₅薄层。然后,在固态时效过程的初始阶段,侧壁处的Sn原子在浓度梯度的驱动下,绕过Ni阻挡层扩散到铜柱表面。由于铜柱侧壁富Cu,因此回流过程中形成的Cu₆Sn₅被消耗形成Cu₃Sn。同时,Cu和Sn通过晶界扩散穿过中间层IMC,使得中间层IMC由Ni₃Sn₄向(Cu,Ni)₃Sn₄进一步转化。接着,随着固态时效时间的延长,Sn焊料被完全消耗,Cu₃Sn相通过消耗残留的Cu柱和(Cu,Ni)₆Sn₅焊料帽继续在侧壁和界面处生长。此时中间层IMC成分分为底部的Cu₃Sn和顶

部的 $(\text{Cu}, \text{Ni})_6\text{Sn}_5$ 。

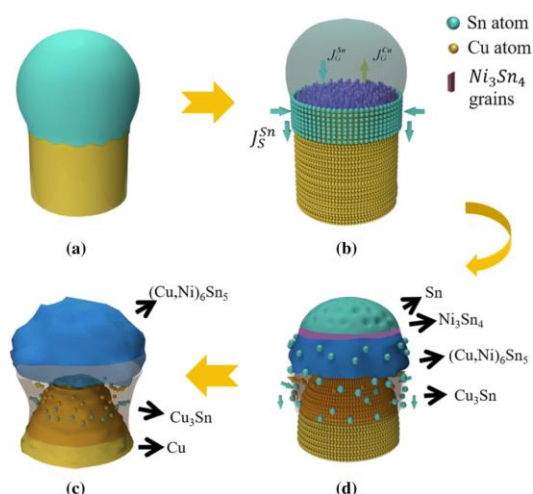


图7 Ren等^[18]提出的侧壁IMC生长模型: (a) 回流过程中由于润湿效应而生成侧壁IMC; (b~d) 时效过程中由于晶界扩散、表面扩散而生成界面IMC和侧壁IMC

Fig.7 A reaction-diffusion model proposed by Ren et al: (a) the formation of sidewall IMC due to wetting behavior in reflow process; (b-d) the formation of interfacial and sidewall IMC due to grain boundary and surface diffusion in solid state aging^[18].

2.3 微凸点多孔 Cu_3Sn IMC生长现象

在小尺寸微凸点中,焊料的体积十分有限,焊料在时效反应中容易被消耗殆尽,全部转化为金属间化合物。此时, Cu-Sn IMC容易演变成多孔的 Cu_3Sn ,这对铜柱微凸点的可靠性构成了新的威胁,且对 Sn/Cu 键合界面的机械强度也产生了严重损害。

Wang等^[20]发现在 Cu-Sn 微凸点的化学反应中会形成两种竞争性生长的 Cu_3Sn :层状和多孔型。当 Cu 扩散占主导时,与 Cu_6Sn_5 反应形成层状 Cu_3Sn ,同时导致Kirkendall空洞的形成,但不会形成多孔结构。而在多孔型 Cu_3Sn 的形成过程中, Sn 作为主要的扩散通量被驱动到铜柱侧壁,由于扩散留下的空位没有被 Cu_3Sn 晶格吸收,导致多孔 Cu_3Sn 的形成。此外单轴拉伸测试显示,断裂强度急剧下降,断裂倾向于沿着多孔 Cu_3Sn 界面,属于脆性断裂。

Lin等^[21]提出的多孔 Cu_3Sn 生长模型显示,在 Cu/Sn 焊料体系中, Cu 原子首先向上扩散形成层状 Cu_3Sn ,并在界面附近产生Kirkendall空洞。这种层状 Cu_3Sn 会阻止 Cu 原子通过体扩散和晶界扩散向上扩散至 Cu_6Sn_5 层,防止其转变为 Cu_3Sn 。高温下,

Cu_6Sn_5 晶格中的部分 Sn-Cu 配位键会断裂,致使其分解为 Cu_3Sn 和游离的 Sn 原子。特定位点的 Sn 原子扩散后,由于摩尔体积收缩而形成周期性多孔结构。此时, Sn 原子在多孔 Cu_3Sn 中成为主要的扩散通量。

总之,随着半导体器件尺寸的持续缩小,三维封装制造技术在电子行业中的应用愈发广泛。小尺寸铜柱凸点因其优异性能,在未来将占据愈发重要的地位。然而,尺寸缩减导致的侧壁IMC生长以及多孔 Cu_3Sn 生成的问题日益突出,这给铜柱凸点在半导体产业中的应用带来挑战,亟需对其深层机制进行研究,并开发抑制这两种现象的方法。

3 凸点互连界面扩散阻挡层

如前所述,在铜柱凸点互连的 Sn/Cu 界面处,由于原子扩散反应引发的金属间化合物过度生长,导致了界面脆性断裂等可靠性问题,这对电子产品的稳定性和使用寿命构成了严重威胁。针对此问题,工业界常在 Sn/Cu 界面处引入扩散阻挡层以抑制原子扩散和减缓IMC的生长速度。

根据扩散抑制原理,扩散阻挡层主要分为牺牲型、阻塞型、被动化合物型和非晶型^[22]。根据Nicolet等^[23]此前的研究,牺牲型阻挡层会与它上下两侧的金属均匀地发生反应,形成IMC;阻塞型阻挡层是利用杂质对快速扩散路径的抑制作用,从而使得原子扩散系数较低;被动阻挡层理论上对其两侧的材料都具有化学惰性,与两侧金属的互溶性和扩散性亦可忽略不计;非晶型阻挡层^[24],例如过渡金属-硅-氮组成的三元合金和高熵氮化合金等,由于消除了沿晶界的快速扩散路径,同时具备优良的热稳定性和结构稳定性,因此也是一种很有潜力的扩散阻挡层。

在铜柱凸点与 Sn 基焊料界面常用的 Ni 基和 Co 基阻挡层通常为牺牲型,这类阻挡层材料会在界面处与 Sn 相互作用,形成稳定的薄层IMC,从而阻止 Sn 和 Cu 原子之间的扩散反应。

3.1 Ni基扩散阻挡层及其研究现状

3.1.1 单质Ni阻挡层

为了抑制 Cu 与 Sn 之间的快速相互作用,通常使用类似倒装芯片键合中UBM结构的方法,引入 Ni 层作为扩散阻挡层。且相较 Cu 原子而言, Ni 原子在 Sn/Cu 界面之间与 Sn 反应速率较慢,扩散速率较低。

在 Ni-Sn 反应中,主要生成三种稳定的金属间化合物: Ni_3Sn 、 Ni_3Sn_2 和 Ni_3Sn_4 。 Ni_3Sn_4 作为最主要的IMC,其生长形态与 Cu_6Sn_5 类似,呈较小的扇贝状,

然而其生长速度远远低于 Cu_6Sn_5 。早期研究认为^[25], $\text{Sn}/\text{Ni}/\text{Cu}$ 结构中的界面反应, 主要是 Sn 扩散到 Ni 层。但Horváth等^[26-27]后来的研究显示, 应是 Ni 原子扩散到 Sn 层中形成 Ni_3Sn_4 IMC; $\text{Sn}/\text{Ni}/\text{Cu}$ 和 Sn/Cu 体系的金属间化合物生长情况相似; Ni 作为阻挡层可以有效地抑制 Cu_6Sn_5 IMC的生长。

此外, 引入 Ni 基阻挡层有助于增强 $\text{Cu}-\text{Sn}$ IMC的稳定性, 并减少多孔 Cu_3Sn IMC的生成。如Chen等^[28]研究了纯 Sn 与不同组分的 $\text{Cu}-\text{Ni}$ 合金在 240°C 下的界面反应发现, 只要当 Ni 含量超过1 wt.%时, $\text{Sn}/(\text{Cu}, \text{Ni})$ 界面上的 Cu_3Sn 相的形成就受到抑制。Liu等^[29]提出了 Ni 阻挡层对铜柱凸点中多孔 Cu_3Sn IMC生长行为的抑制作用及其机理。一方面, Ni 阻挡层可以通过抑制原子扩散, 延迟凸点中 Sn 耗尽的时间节点, 从而抑制 $\text{Cu}-\text{Sn}$ IMC的过度生长。另一方面, 根据已有的研究可知^[30-31], Cu_6Sn_5 有两种晶体结构, 当温度超过 186°C 时, 会发生由六方 η - Cu_6Sn_5 向单斜 η' - Cu_6Sn_5 的同素异形转变。而 Ni 阻挡层的存在会延缓转变发生, 减少应力促进的多孔 Cu_3Sn IMC演化。

值得注意的是, 阻挡层的厚度对阻挡效果具有显著影响^[32]。倘若 Ni 层太薄, 在时效过程中, 会因为耗竭而失效。陈凯等^[33]研究了厚度分别为100、300和700 nm薄 Ni 层对 Cu/Sn 界面反应的影响。在 Sn 耗尽之前, 各种厚度的薄 Ni 层均能有效降低 $\text{Cu}/(\text{Ni})/\text{Sn}$ 界面IMC的生长速度。在无阻挡的 Cu/Sn 平面结构中, IMC生长速度最快, 而在阻挡层厚度为700 nm的结构中, IMC生长速度最慢, 仅为前者的十分之一。同时, 当 Ni 层厚度达到700 nm时, 能够长时间抑制 Cu_3Sn 和Kirkendall孔洞的形成。但是, 过厚的 Ni 阻挡层存在电镀应力过大的问题, 因此选用合适的阻挡层厚度对于实际应用来说十分重要。

3.1.2 Ni 基合金阻挡层

科研人员通过在 Ni 基扩散阻挡层中引入合金元素, 以增强其稳定性。目前所应用的合金元素主要可分为两类: 一类为类金属元素, 如磷(P)、硼(B); 另一类为难熔金属元素, 如钨(W)、钒(V)及铌(Nb)。

(1) Ni-P阻挡层

鉴于化学镀 Ni-P 具备黏附力强、成本较低、耐腐蚀电阻性能优异及焊接润湿性良好等特性, 化学镀 Ni-P 层往往被视为铜柱凸点与焊料之间的扩散阻挡层优选方案之一^[34-35]。实验已证明, Ni-P 层可在不超过 300°C 的温度下作为稳定的扩散阻挡层, 有效抑制 Cu 原子扩散。然而作为牺牲型阻挡层, Ni-P

层与 Sn 之间的相互作用也逐渐消耗了自身, 一旦耗尽, 将失去对 Sn 和 Cu 原子的扩散反应阻挡作用。此外, 高温下 Ni-P 层会与 Sn 快速反应生成大量 Ni-Sn IMC, 在阻挡层分解失效的同时, 铜柱凸点的机械性能也会急剧恶化。

Lee课题组^[36]系统探究了 Ni-P 扩散阻挡层的热稳定性, 并提出了 Ni 基扩散阻挡层的高温失效机理: 初始阶段的低温退火促进 Ni-P 和 Sn 发生界面反应, 逐渐生成 Ni_3P 和 Ni_3Sn_4 两种化合物。随着温度升高, 反应进一步消耗了阻挡层。 300°C 时可观察到局部区域的扩散阻挡层, 由非晶完全转化为带针孔的多晶 Ni_3P , 从而形成了快速扩散路径。 350°C 时, 针孔普遍存在, 部分区域的阻挡层完全解体, 使得 Cu 和 Sn 之间的相互扩散不受阻碍。

考虑到高温下单层 Ni-P 扩散阻挡层会分解失效, Lee等^[37]提出可使用化学镀 $\text{Ni-P}/$ 电镀薄 Cu 的双层作为扩散阻挡层, 其中薄 Cu 层作为牺牲层与 Sn 反应形成薄层 Cu_6Sn_5 , 阻止 Ni-P 与 Sn 反应。如图8所示, 低温键合(200°C 和 250°C)的样品中IMC呈扇贝状; 高温键合时(275°C 、 300°C 和 350°C), 反应生成的棒状 Cu_6Sn_5 IMC以一定角度生长并嵌入连接层, 形成棒状IMC增强锡。相较于单阻挡层, 双阻挡层有效抑制了高温下的材料相互作用, 此外棒状IMC增强锡的存在使得结合强度显著提高。

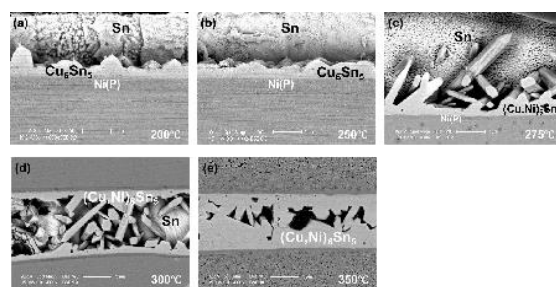


图 8 不同温度样品中 IMC 生长形态: (a) 200°C , (b) 250°C , (c) 275°C , (d) 300°C 和 (e) 350°C ^[37]

Fig.8 The growth morphology of IMC at different temperatures: (a) 200°C , (b) 250°C , (c) 275°C , (d) 300°C and (e) 350°C ^[37]

此外, 相关研究中观察到^[38], 部分化学镀 Ni-P 阻挡层在回流退火过程中晶化为 Ni_3P 层, 此现象与自结晶过程不同, 是受到了焊料与 Ni 形成 Ni_3Sn_4 的反应驱动, 因此将其称之为“焊料反应诱导结晶”。该现象的出现, 对铜柱凸点机械和电气性能产生了潜在威胁。如He Min等^[39]在 $\text{Sn}-3.5\text{Ag}$ 和 $\text{Sn}-37\text{Pb}$ 这两种焊料体系的 Ni_3P 层中均发现了柯肯达尔

空洞,这是由于Ni通过Ni₃P层净外通量扩散,而其它元素无法补充Ni留下的空位。同时,Sn会渗入Ni₃Sn₄ IMC与结晶Ni₃P层发生反应,在Ni₃Sn₄和Ni₃P层之间形成纳米晶的Ni-Sn-P层。而在Ni₃Sn₄/Ni-Sn-P界面上会发生IMC的剥落,且剥落的倾向会随着P含量、反应时间和焊料体积的增加而增加。IMC剥落与Ni-P结晶过程密切相关,其结晶速度会在IMC剥离后加快^[40]。Ni-Sn IMC的形貌也会影响其剥落行为,如不含铜的无铅焊料形成的针状IMC,相较于粗短的IMC,其黏附性更差,更易剥落^[41]。此外,Kang Han-Byul等^[42]发现退火过程中,在Sn-3.5Ag-0.7Cu/化学镀Ni-P界面,Sn向Ni₂P扩散形成了三元Ni₂SnP层,并伴随着小的柯肯德尔空洞生成。

尽管化学镀Ni-P层因其突出优势,成为铜柱凸点扩散阻挡层的主流选择之一,但在加工过程中,Ni-P层会出现“焊料反应诱导结晶”的现象,同时还会生成含有柯肯达尔孔洞的三元Ni-Sn-P IMC,甚至可能导致IMC的剥落,润湿性较差,不利于焊点可靠性和稳定性^[43]。

(2) Ni-W和Ni-V阻挡层

在Ni基扩散阻挡层中添加难熔金属元素,如W、V等,则可有效避免“焊料反应诱导结晶”现象发生^[44]。与含非金属的Ni层发生结晶的情况截然不同,Sn与含W的Ni基扩散阻挡层反应,除形成Ni₃Sn₄外,还在Ni₃Sn₄/Ni-W层之间发现了含有Ni、Sn和W的非晶三元相,该过程称之为“固态非晶化”^[45]。

Haseeb等^[44]研究了Sn-3.5 Ag焊料与Ni-W阻挡层之间的界面反应。发现在回流过程中,形成了两种类型的界面反应层:在焊料一侧形成多面态的Ni₃Sn₄层;在Ni₃Sn₄层下方形成非晶Sn-Ni-W三元层,其主要成分为Sn,其厚度与Ni-W层中的W含量并无显著关联。这一现象可归因于Sn在Ni-W中的异常迅速扩散所导致的固态非晶化过程。Liu等^[46]则对比了Sn_{2.0}Ag_{2.5}Zn焊料与Cu和Ni-W的界面反应情况。不同于焊料与铜反应形成双层IMC,在Ni-W阻挡层上,Ni₃Sn₄是主要的IMC,其厚度随着Ni-W层中W含量的增加而减小。随着时效的延长,Sn向阻挡层扩散的速度快于Ni向焊料扩散的速度,因而在Ni₃Sn₄和Ni-W层之间出现了非晶层。但随着时效时间的继续延长,Sn可能会穿过Ni-W层扩散到Cu中。Chew等^[47]采用了纳米压痕法检测其机械性能,发现非晶态Sn-Ni-W三元相的硬度低于Ni₃Sn₄ IMC。FESEM成像进一步显示,非晶态Sn-Ni-W层的脆性断裂倾向相较于Ni₃Sn₄更低。

实验证明,在Ni-V阻挡层中也会出现相似的“固态非晶化”过程。如Chen等^[48]采用反应偶联技术研究了在250℃条件下的Sn-(Ag)/(Ni,V)界面反应,提出当V含量超过5 wt.%时,除了焊料与Ni反应普遍形成的Ni₃Sn₄相外,还发现了一种新的亚稳态三元T相,即Sn-Ni-V。进一步研究Sn/Ni-7 wt.% V界面反应发现^[49],只有当温度低于350℃时,界面反应才会生成由非晶相和Ni₃Sn₄相混合而成的三元T相,晶粒大小约为50 nm。非晶相源于Sn的快速扩散和V的相对静止。T相形成的活化能约为Ni₃Sn₄相的50%。而在温度高于350℃时,T相不再形成,反应产物只有Ni₃Sn₄相。

综上所述,W、V等难熔金属在Ni中的扩散系数较低,添加W、V的Ni基阻挡层与焊料发生界面反应生成的非晶态IMC,与Ni₃P和Ni-Sn-P相比,其硬度较低,对脆性断裂的敏感性也较低,且没有Kirkendall孔洞的形成^[50]。因此这种“固态非晶化”现象在扩散阻挡层方面更具应用前景。

3.2 Co基扩散阻挡层及其研究现状

虽然Ni因其反应速度较慢,常被用作铜柱凸点的扩散阻挡层,但随着电子器件日益集成化、小型化和环保化的发展趋势,Ni基扩散阻挡层应用于先进的三维电子封装领域时,也面临着新的挑战,如薄Ni层的快速耗尽、电迁移失效、IMC侧壁生长等。而Co基扩散阻挡层因其优异的抗电迁移性能、抗热疲劳性能、断裂韧性和良好的润湿性等,被视作极具潜力的替代材料^[50-51]。

3.2.1 单质Co阻挡层

实验表明无铅焊料与Co基阻挡层反应主要会形成CoSn₃ IMC。如George Vakanas等^[52]通过研究Co-Sn IMC的形成和生长情况,证明了Co-Sn反应中生长最快的IMC相是CoSn₃,通过纳米压痕法定量测得CoSn₃的硬度 H 约为4.85 GPa,而Cu-Sn IMC的硬度测量值约为7 GPa,CoSn₃比Cu-Sn IMC的硬度约31%,说明Co-Sn IMC具有良好的机械性能。然而,研究发现高温下的纯Sn/Co固态反应中^[53],CoSn₃的生长速度明显比Cu₆Sn₅和Ni₃Sn₄要快得多。由于其固有脆性,过度生长的IMC会影响铜柱凸点的连接强度和电气性能。因此延缓Sn/Co界面反应中CoSn₃的生长速率,对Co基扩散阻挡层在三维电子封装中的应用至关重要。

3.2.2 Co基金属阻挡层

类似于Ni基阻挡层的合金化策略,科研人员通过在Co基阻挡层中引入W、P等元素,堵塞晶界处的

原子扩散通道,从而提高Co层的阻挡性能和稳定性。

(1) Co-P阻挡层

相较于溅射等方法成本昂贵,化学镀Co-P工艺凭借其无需掩膜或金属溅射的优点,在凸点制备上具有成本优势。Liang等^[54]的研究证明了化学镀Co-P层作为扩散阻挡层的可行性。根据相关研究^[55],P的含量会影响Co-P膜的结构和形貌,当P含量超过12 at.%时,Co-P膜为非晶态结构。AES结果显示,化学镀初始阶段形成的Co-P膜中P含量高达18 at.%,说明形成了非晶态Co-P层。EDX线扫描显示,于250 °C下液态退火24 h后,Sn和Cu原子均无法穿透Co-P层。实验结果说明,Co-P具有良好的延缓扩散性能,可作为铜柱凸点阻挡层。

Wang等^[56]通过化学镀在Cu衬底上沉积了Co-0.7 wt.% P和Co-6 wt.% P两种镀层如图9所示,分别为柱状晶体和非晶/晶体混合结构。在固态和液态的Sn/Co-0.7 wt.% P界面反应中,由于P掺杂会抑制IMC的形核生长,只有生长受限的CoSn₃相存在。对于固态Sn/Co-6 wt.% P反应,界面上形成了亚稳态CoSn₄相和三元Co-Sn-P IMC,其生长速度显著高于固态Sn/Co-0.7 wt.% P反应中的CoSn₃相,导致Co的消耗明显增加。而在液态Sn/Co-6 wt.% P反应中,大量CoSn₃颗粒剥落到熔融焊料中,导致了Co-P层被快速消耗。界面上只保留了均匀的Co-Sn-P三元相层。因此柱状晶态的Co-0.7 wt.% P镀层更具抑制扩散的潜力。然而,Chen等^[57]提出CoSn₃的大量剥落使得断裂模式由脆性转变为韧性,并不影响焊点的可靠性。

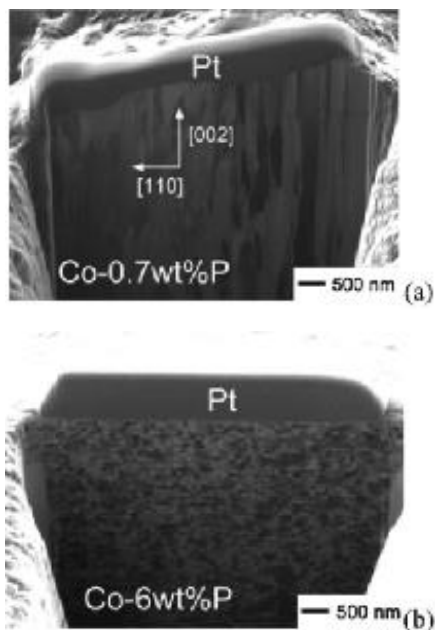


图 9 FIB 横截面图像: (a) Co-0.7 wt.% P 镀层和(b) Co-6 wt.% P 镀层; XRD 谱图: (c) Co-0.7 wt.% P 镀层的 XRD 谱和(d) Co-6 wt.% P 镀层的 XRD 谱^[56]

Fig.9 The FIB cross-section images of (a) Co-0.7 wt.% P layer and (b) Co-6 wt.% P layer, and XRD spectra of (c) Co-0.7 wt.% P layer and (d) Co-6 wt.% P layer.

电镀法因其具有区域选择沉积、沉积速率高、可灵活调整微观结构等优点,也是扩散阻挡层的常用制备方法之一。Lu等^[58]采用了超声辅助的多脉冲电镀技术沉积了非晶态和纳米晶结构Co-P薄膜。非晶Co-P薄膜表现出优秀的软磁性能,而纳米晶Co-P薄膜的硬磁性较弱。值得注意的是,纳米晶态Co-P薄膜的界面结合力约为非晶态Co-P薄膜的2.9倍。这一现象可归因于纳米晶Co-P薄膜与基底界面处形成了Co_{0.52}Cu_{0.48}相^[59],从而提高了界面黏附强度。随着Co-P的结晶程度增高,金属间Co_{0.52}Cu_{0.48}相会增多,界面结合力就相应地增大。此外,Lu等^[60]通过调控电镀Co-P薄膜微观结构,合成了具有纳米晶、非晶和纳米晶/非晶混合结构的Co-P薄膜,并研究了各类Co-P薄膜与Sn-Ag-Cu焊料之间的界面反应。在上述结构中,具有纳米晶/非晶混合结构的Co-P薄膜展现出最好的扩散阻挡性能,其界面处形成的IMC生长速度最慢。尽管Sn不能在纳米晶Co-P层中扩散,但可以通过非晶Co-P层实现快速扩散。

P含量是Co-P阻挡层性能的重要影响因素。Liu等^[61]系统地研究了Sn-3.8Ag-0.7Cu/Co-P焊点的抗剪切强度与电镀Co-P层中P含量的关系,与无Co-P

金属化的焊点相比, Co-8.5% P、Co-12.5% P和Co-18.8% P焊点的剪切强度分别提高了109.5%、63.7%和86.4%。研究了退火过程中的界面反应以及剪切测试后焊点的断裂表面发现, 对于P含量为8.5 at.%和18.8 at.%的Co-P层, 退火过程中在界面上形成的厚CoSn₃提高了剪切强度。对于P含量为12.5 at.%的焊点, 界面上形成了一层薄的Co-Sn-PIMC, 且随着退火时间的延长, 会逐层剥落。剥落的Co-Sn-PIMC与焊料基体混合, 也增加了焊点的剪切强度, 但增强效果不如厚CoSn₃相。

综上所述, P元素的掺杂抑制了Sn/Co界面反应主要生成的CoSn₃ IMC, 相较于Ni-P, Co-P扩散阻挡层未出现Kirkendall孔洞。同时, Co-P阻挡层中也发现了与Ni-P阻挡层中类似的Co-Sn-P IMC剥落现象。

(2) Co-W阻挡层

在Sn中, Co的固态扩散系数显著低于Cu, 同时Sn在Co中的溶解度也相对较低。而W是一种难熔金属, 即使在高温下也具有优异的扩散阻挡能力。W掺杂进Co中, 能够堵塞晶界, 阻碍快速扩散路径,

从而提升Co基阻挡层对扩散的抑制能力。此外, Co-W层还能重新分配电流, 抑制凸点区域的电流拥挤现象^[62]。

Co-W阻挡层可通过电镀技术制备, 从而使其成为一种具有成本优势的先进封装工艺。Zhang等^[63]为对比Co-W和Ni两种阻挡层对锡晶须生长的抑制作用, 采用电沉积法制备了200 nm非晶Co-W和450 nm Ni阻挡层, 并提出了在 55 °C/85% RH 储存条件下, Ni阻挡层和非晶 Co-W 阻挡层各自对Sn中晶须生长的抑制机制。如图10(a)所示, 在Sn/Ni/Cu体系中, Ni₃Sn₄和NiSn₄的形成会导致体积收缩, Sn层中产生的较大拉应力可抑制晶须的生长。如图10(b)所示, 在Sn/Co-W/Cu体系中, 由于非晶态Co-W层具有优异的阻挡性能, 只生成了少量的Cu₆Sn₅ IMC, Sn层中有限的压应力可通过表面形成小丘得到释放, 从而抑制了锡须生长。相较于Ni阻挡层, 非晶Co-W阻挡层在减少IMC生成方面表现出优势, 因而具备更优异的抑制锡晶须生长能力及抗氧化腐蚀性能。

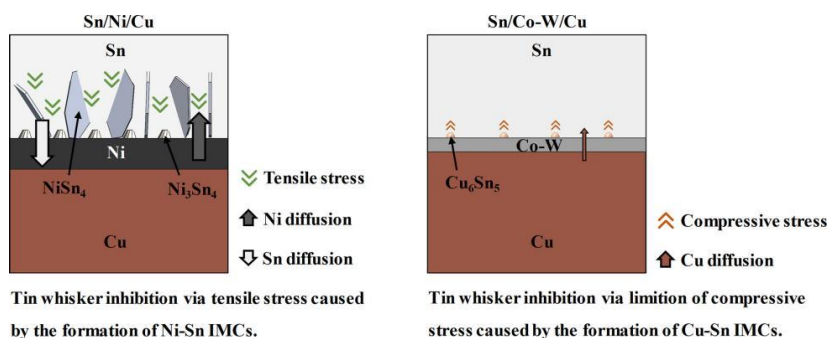


图 10 阻挡层对高温高湿环境下锡晶须生长的抑制机理: (a) Ni 阻挡层; (b) 非晶态 Co-W 阻挡层^[63]

Fig.10 Inhibition mechanism of barrier layer on tin whisker growth from Sn layer without reflow in high temperature and humidity environment: (a) Ni barrier layer; (b) amorphous Co-W barrier layer^[63]

Chen等^[64]研究了电沉积的Ni、Co、非晶Ni-25 at.% W和非晶Co-25 at.% W层的扩散阻挡性能。经过150 °C时效处理, 非晶态Co-W阻挡层表现出最好的阻挡性能, 且IMC生长速率最慢。除了Sn/Co/Cu样品中的IMC生长受反应控制, 其它样品中IMC的生长速率均受到不同种类扩散的限制。鉴于Ni-W层中Ni的扩散速率高于Co-W层中Co的扩散速率, 因此, Sn/Ni-W/Cu样品中IMC的生长速度相较Sn/Co-W/Cu样品更为迅速。此外, Ni₃Sn₄、Ni-W-Sn、CoSn₄和Co-W-Sn IMCs的弹性模量分别为125.7、121.5、111.2和88.5 GPa, 硬度分别为8.11、8.00、4.80和3.30 GPa。说明Sn/Co-W/Cu样品中形成的IMC对脆性断裂的敏感性低于Sn/Ni-W/Cu样品。

Chen等^[65-66]进一步研究了W含量和阻挡层粒径对Sn/Co-W固体界面反应中IMC生长的影响机制, 发现在Sn/Co界面上IMC的生长动力学受反应控制, 而在Sn/Co-W界面上受扩散控制。与Sn/Co-5 at.% W相比, Sn/Co-10 at.% W样品中晶粒尺寸的减小对Co扩散的促进作用大于W原子钉扎效应的抑制作用, 导致了界面IMC生长更快, CoSn₃更易形成。而在Co-15 at.% W和Co-20 at.% W样品中, 由于晶界扩散减少以及W原子钉扎效应的增加的协同作用, 其IMC厚度显著降低。

4 总结

铜柱凸点作为芯片垂直互连的重要组成部分,

在3D封装中具有举足轻重的作用。本文对铜柱凸点的电镀均匀性控制、Cu/Sn界面反应特性和扩散阻挡层材料三个关键问题进行了综述,主要结论包括以下几个方面:

(1) 铜柱凸点的均匀性包括宏观均匀性和微观均匀性两个方面,关系到封装的电气连接和应力水平,是电镀铜柱凸点需要解决的最关键的问题之一。凸点电镀的均匀性受到沉积速率、镀液电导率、流场分布、添加剂成分等因素的影响,需要结合电镀液、电镀设备和电镀条件三个方面进行综合性调控。

(2) 铜柱凸点在时效过程中,Cu/Sn界面原子相互扩散,导致Cu-Sn IMC的生成。少量IMC的形成有利于Cu/Sn之间的可靠连接,但过量IMC生成会导致凸点机械性能劣化。凸点尺寸不断缩小时,还会出现侧壁IMC快速生长和多孔Cu₃Sn形成的问题,因此,抑制Cu-Sn IMC的快速生长是提升凸点可靠性的关键。

(3) 在Cu/Sn界面插入一层扩散阻挡层,可以有效抑制Cu/Sn的互扩散和IMC的生长。Ni和Co与Sn的反应速率较慢,常被用做Cu/Sn界面的扩散阻挡层材料。然而,在凸点尺寸不断缩小的情况下,阻挡层出现了快速消耗的问题,在阻挡层中掺入P、W等元素,可以降低阻挡层与Sn的反应速率,因此基于Ni、Co的合金阻挡层有望成为新一代的高性能阻挡层材料。

总的来说,铜柱凸点在3D封装中扮演着不可替代的角色,未来3D封装技术的高密度化发展,势必对凸点的质量控制提出了更高的挑战。通过对铜柱凸点研究进展的综述,希望能够给学术界、工业界带来一些启发,共同推动先进封装技术的发展。

致谢

在撰写此论文的过程中,我衷心感谢我的导师凌惠琴老师与李明老师的悉心指导与启迪,为我指明了研究方向,给予我宝贵的建议和鼓励。同时,特别感谢陈沛欣师兄在论文修改中的耐心帮助,提出了许多中肯的写作建议。在此,向三位表达我最诚挚的谢意!

参考文献

[1] Swaminathan M, Kathaperumal M, Moon K S, et al. Materials for heterogeneous integration[J]. MRS Bulletin, 2021, 46(10): 967-977.

- [2] Cho D H, Seo S M, Kim J B, et al. A review on the fabrication and reliability of three-dimensional integration technologies for microelectronic packaging: Through-Si-via and solder bumping process[J]. Metals, 2021, 11(10): 1664.
- [3] Tan C S, Peng L, Fan J, et al. Three-dimensional wafer stacking using Cu-Cu bonding for simultaneous formation of electrical, mechanical, and hermetic bonds[J]. IEEE Transactions on Device and Materials Reliability, 2012, 12(2): 194-200.
- [4] Schober J, Nicolaus K, Feiertag G. Reliability study of copper pillar bump interconnects for acoustic wave-wafer level package[C]//Tan C S. 2020 IEEE 22nd Electronics Packaging Technology Conference (EPTC). Singapore: IEEE, 2020: 85-89.
- [5] Zhu Q S, Ding Z F, Wei X F, et al. Effect of leveler on performance and reliability of copper pillar bumps in wafer electroplating under large current density[J]. Microelectronics Reliability, 2023, 146: 115030.
- [6] Han Y, Li M, Sun H, et al. The study on the shaping of electroplated copper pillar bumping[C]// Bi K, Shi D, Zhang J. 12th International Conference on Electronic Packaging Technology and High Density Packaging. Shanghai: IEEE, 2011: 1-4.
- [7] 丁梓峰. 晶圆铜柱凸点电镀添加剂及其对焊点界面可靠性的影响[D]. 江苏:江苏科技大学,2022.
- [8] Tan B Z, Liang J L, Lai Z L, et al. Electrochemical deposition of copper pillar bumps with high uniformity[J]. Journal of Electrochemistry, 2022, 28(7): 2213004.
- [9] Wang J, Wang D, Jia Z. High speed Cu plating technology for wafer level packaging[C]//Chen Z, Wang H L. 22nd International Conference on Electronic Packaging Technology (ICEPT). Xiamen: IEEE, 2021: 1-6.
- [10] Luo V, Xue X-T, Yu K-C, et al. Method to improve the process efficiency for copper pillar electroplating[J]. Journal of the Electrochemical Society, 2016, 163(3): E39-E42.
- [11] Kholostov K, Klyshko A, Ciarniello D, et al. High uniformity and high speed copper pillar plating technique[C]//Sauter W, Huffman A. 64th Electronic Components and Technology Conference (ECTC). Florida: IEEE, 2014: 1571-1576.
- [12] Sy M, Dong J, Wang S, et al. RDL and pillar fabrication from a versatile copper plating process[C]//Shen L F. 16th

- International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT). Taipei: IEEE, 2021: 156-159.
- [13] Hu X, Li Y, Liu Y, et al. Microstructure and shear strength of Sn₃₇Pb/Cu solder joints subjected to isothermal aging[J]. Microelectronics Reliability, 2014, 54(8): 1575-1582.
- [14] Yu J, Anand A, Mui Y C, et al. Reliability study on copper pillar bumping with lead free solder[C]//Vaidyanathan K, Tee T Y, Lee T K. 9th Electronics Packaging Technology Conference. Singapore: IEEE, 2007: 618-622.
- [15] Kanno H, Dixit P. A review of intermetallic compound growth and void formation in electrodeposited Cu-Sn layers for microsystems packaging[J]. Journal of Materials Science: Materials in Electronics, 2021, 32: 6742-6777.
- [16] Liashenko O Y, Lay S, Hodaj F. On the initial stages of phase formation at the solid Cu/liquid Sn-based solder interface[J]. Acta Materialia, 2016, 117: 216-227.
- [17] Ma M, Ren S, Wang J, et al. Influence of bump diameter on the growth of intermetallic compounds in Cu/Ni/Sn copper pillar bump during aging process[C]//Ye T C, Chen X. 21st International Conference on Electronic Packaging Technology (ICEPT). Guangzhou: IEEE, 2020: 1-4.
- [18] Ren S, Sun M, Jin Z, et al. Formation mechanism of novel sidewall intermetallic compounds in micron level Sn/Ni/Cu bumps[J]. Electronic Materials Letters, 2019, 15: 562-571.
- [19] 任思儒. 小尺寸铜柱凸点中侧壁金属间化合物生成的研究[D]. 上海:上海交通大学,2020.
- [20] Wang Y, Chu D T, Tu K N. Porous Cu₃Sn formation in Cu-Sn IMC-based micro-joints[C]//Huffman A, Karikalan S. 66th Electronic Components and Technology Conference (ECTC). Las Vegas: IEEE, 2016: 439-446.
- [21] Lin K, Ling H, Hu A, et al. Growth behavior and formation mechanism of porous Cu₃Sn in Cu/Sn solder system[J]. Materials Characterization, 2021, 178: 111271.
- [22] Pan H C, Hsieh T E. An investigation of diffusion barrier characteristics of an electroless Co(W, P) layer to lead-free SnBi solder[J]. Journal of Electronic Materials, 2011, 40: 330-339.
- [23] Nicolet M A. Diffusion barriers in thin films[J]. Thin Solid Films, 1978, 52(3): 415-443.
- [24] Cao Z, Hu K, Meng X. Diffusion barrier properties of amorphous and nanocrystalline Ta films for Cu interconnects[J]. Journal of Applied Physics, 2009, 106(11): 368-375.
- [25] Galyon G T, Palmer L. An integrated theory of whisker formation: The physical metallurgy of whisker formation and the role of internal stresses[J]. IEEE Transactions on Electronics packaging manufacturing, 2005, 28(1): 17-30.
- [26] Horváth B, Illés B, Shinohara T, et al. Effects of humidity on tin whisker growth-investigated on Ni and Ag underplated layer construction[J]. Thin Solid Films, 2011, 520(1): 384-390.
- [27] Horváth B, Illés B, Shinohara T. Growth of intermetallics between Sn/Ni/Cu, Sn/Ag/Cu and Sn/Cu layered structures[J]. Thin Solid Films, 2014, 556: 345-353.
- [28] Chen S W, Wu S H, Lee S W. Interfacial reactions in the Sn-(Cu)/Ni, Sn-(Ni)/Cu, and Sn/(Cu, Ni) systems[J]. Journal of electronic Materials, 2003, 32: 1188-1194.
- [29] Liu S, Yang C, Ling H, et al. Inhibiting effects of the Ni barrier layer on the growth of porous Cu₃Sn in 10-Mm microbumps[J]. Journal of Materials Science: Materials in Electronics, 2021, 32(13): 17655-17661.
- [30] Nogita K, Nishimura T. Nickel-stabilized hexagonal (Cu, Ni) 6Sn5 in Sn-Cu-Ni lead-free solder alloys[J]. Scripta Materialia, 2008, 59(2): 191-194.
- [31] Nogita K, Gourlay C, McDonald S, et al. Kinetics of the H-H' transformation in Cu₆Sn₅[J]. Scripta Materialia, 2011, 65(10): 922-925.
- [32] Wang D, Ling H, Sun M, et al. Investigation of intermetallic compound and voids growth in fine-pitch Sn-3.5 Ag/Ni/Cu microbumps[J]. Journal of Materials Science: Materials in Electronics, 2018, 29(3): 1861-1867.
- [33] 陈凯. 薄Ni层对Sn/Cu体系界面反应影响研究 [D]. 上海:上海交通大学,2019.
- [34] Hung K, Chan Y, Tang C, et al. Correlation between Ni₃Sn₄ intermetallics and Ni₃P due to solder reaction-assisted crystallization of electroless Ni-P metallization in advanced packages[J]. Journal of Materials Research, 2000, 15(11): 2534-2539.
- [35] Lee B, Jeon H, Kim S, et al. Introduction of an electroless-plated Ni diffusion barrier in Cu/Sn/Cu bonding structures for 3D integration[J]. Journal of the Electrochemical Society, 2011, 159(2): H85.
- [36] Lee B, Jeon H, Jeon S J, et al. A study on the breakdown mechanism of an electroless-plated Ni(P) diffusion barrier for Cu/Sn/Cu 3D interconnect bonding structures[J]. Journal of Electronic Materials, 2012, 41: 109-114.
- [37] Lee B, Jeon H, Kwon K W, et al. Employment of a bi-layer

- of Ni (P)/Cu as a diffusion barrier in a Cu/Sn/Cu bonding structure for three-dimensional interconnects[J]. *Acta Materialia*, 2013, 61(18): 6736-6742.
- [38] Jang J, Kim P, Tu K-N, et al. Solder reaction-assisted crystallization of electroless Ni-P under bump metallization in low cost flip chip technology[J]. *Journal of Applied Physics*, 1999, 85(12): 8456-8463.
- [39] He M, Chen Z, Qi G. Solid state interfacial reaction of Sn₃₇Pb and Sn_{3.5}Ag solders with Ni-P under bump metallization[J]. *Acta Materialia*, 2004, 52(7): 2047-2056.
- [40] Sohn Y, Yu J, Kang S, et al. Spalling of intermetallic compounds during the reaction between lead-free solders and electroless Ni-P metallization[J]. *Journal of Materials Research*, 2004, 19(8): 2428-2436.
- [41] Jang J, Frear D, Lee T, et al. Morphology of interfacial reaction between lead-free solders and electroless Ni-P under bump metallization[J]. *Journal of Applied Physics*, 2000, 88(11): 6359-6363.
- [42] Kang H B, Bae J H, Yoon J W, et al. Characterization of ternary Ni₂SnP layer in Sn_{3.5}Ag_{0.7}Cu/electroless Ni (P) solder joint[J]. *Scripta Materialia*, 2010, 63(11): 1108-1111.
- [43] Tseng C F, Lee T K, Ramakrishna G, et al. Suppressing Ni₃Sn₄ formation in the Sn-Ag-Cu solder joints with Ni-P/Pd/Au surface finish[J]. *Materials Letters*, 2011, 65(21-22): 3216-3218.
- [44] Haseeb A, Chew C, Johan M R. Interfacial reactions between Sn-3.5Ag solder and Ni-W alloy films[J]. *Journal of Materials Science: Materials in Electronics*, 2011, 22: 1372-1377.
- [45] Chew C S, Haseeb A, Johan M R. Interfacial reactions between Sn_{3.8}Ag_{0.7}Cu solder and Ni-W alloy films[C]//Krishnan S, Kim S S. 35th IEEE/CPMT International Electronics Manufacturing Technology Conference (IEMT). Malaysia: IEEE, 2012: 1-6.
- [46] Liu Y, Hu A, Luo T, et al. Interfacial reaction of Sn_{2.0}Ag_{2.5} Zn solder on Cu and Ni-W substrates[J]. *Journal of Materials Science: Materials in Electronics*, 2013, 24: 1037-1044.
- [47] Chew C, Durairaj R, Haseeb A, et al. Mechanical properties of interfacial phases between Sn-3.5Ag solder and Ni-18 at.% W barrier film by nanoindentation[J]. *Soldering & Surface Mount Technology*, 2015, 27(2): 90-94.
- [48] Chen C C, Chen S W, Kao C Y. Interfacial reactions in the Sn-(Ag)/(Ni, V) couples and phase equilibria of the Sn-Ni-V system at the Sn-rich corner[J]. *Journal of Electronic Materials*, 2006, 35: 922-928.
- [49] Chen C C, Chen S W, Chang C H. Characterization of the ternary phase at the Sn/Ni-V joint[J]. *Journal of Materials Research*, 2008, 23: 2743-2748.
- [50] Wang C, Kuo C, Huang S, et al. Temperature effects on liquid-state Sn/Co interfacial reactions[J]. *Intermetallics*, 2013, 32: 57-63.
- [51] Vassilev G P, Lilova K I, Gachon J C. Calorimetric and phase diagram studies of the Co-Sn system[J]. *Intermetallics*, 2007, 15(9): 1156-1162.
- [52] Vakanas G, Minho O, Dimcic B, et al. Formation, processing and characterization of Co-Sn intermetallic compounds for potential integration in 3D interconnects[J]. *Microelectronic Engineering*, 2015, 140: 72-80.
- [53] Wang C, Chen S. Cruciform pattern formation in Sn/Co couples[J]. *Journal of Materials Research*, 2007, 22(12): 3404-3409.
- [54] Liang M W, Yen H T, Hsieh T E. Investigation of electroless cobalt-phosphorous layer and its diffusion barrier properties of Pb-Sn solder[J]. *Journal of Electronic Materials*, 2006, 35: 1593-1599.
- [55] Chekanova L A, Denisova E A, Iskhakov R S. Magnetic properties of electroless fine Co-P particles[J]. *IEEE Transactions on Magnetics*, 1997, 33(5): 3730-3732.
- [56] Wang C, Huang S, Chiu C. Influence of the P content on phase formation in the interfacial reactions between Sn and electroless Co(P) metallization on Cu substrate[J]. *Journal of Alloys and Compounds*, 2015, 619: 474-480.
- [57] Chen H, Tsai Y L, Chang Y T, et al. Effect of massive spalling on mechanical strength of solder joints in Pb-free solder reflowed on Co-based surface finishes[J]. *Journal of Alloys and Compounds*, 2016, 671: 100-108.
- [58] Lu N, Li Y, Cai J, et al. Synthesis and characterization of ultrasonic-assisted electroplated Co-P films with amorphous and nanocrystalline structures[J]. *IEEE Transactions on Magnetics*, 2011, 47(10): 3799-3802.
- [59] Lu N, Cai J, Li L. Dependence of interfacial adhesion of Co-P film on its microstructure[J]. *Surface and Coatings Technology*, 2012, 206(23): 4822-4827.
- [60] Lu N, Yang D, Li L. Interfacial reaction between Sn-Ag-Cu solder and Co-P films with various microstructures[J]. *Acta Materialia*, 2013, 61(12): 4581-4590.